

電気的特性による Ti スパッタ薄膜/Si, GaAs 接触界面 に関する研究

東海林 実*・浅野 清光

Interface Properties of Sputtered Ti Thin Film/Si, GaAs Contacts by Electrical Measurements

Minoru SHOJI* and Kiyomitsu ASANO

(2003年11月28日受理)

Semiconductor devices include large numbers of metal/semiconductor contacts. The contacts need the low resistance and high reliability since microprocessing of devices is progressing. Therefore it is necessary to develop the new contact materials and new processing technology. In this study, to understand and control interfacial phenomena, the refractory metal/semiconductor contacts formed by RF magnetron sputtering have been studied with I-V, $1/C^2$ -V properties before and after surface cleaning and annealing of the Si and GaAs wafers. Schottky barrier heights of Ti/Si contacts indicated the nearly constant value (0.8~0.9eV). And those of Ti/GaAs contacts indicated 0.6~0.8eV. The Ti/Si contact before surface cleaning and after 700°C heating showed the ohmic contact, but the other Ti/Si and Ti/GaAs contacts showed the rectifying contact. The Ti/GaAs contact surface after 700°C heating was discolored black.

1. はじめに

近年、ULSIに代表される半導体デバイスの微細化、高集積化は、驚異的な速さで進展してきている。半導体デバイスには電極として金属/半導体接触が不可欠であり、デバイス中には膨大な数の電極が存在するが、デバイスの微細化に伴い電極領域の低抵抗化、高信頼性が求められている。

従来、電極金属にはAl系材料がよく用いられてきた。Al系材料は低抵抗率で、Siとの密着性が良く、信頼性、再現性に優れている。しかしデバイスの微細化が進んだ結果、低温界面反応によるコンタクト不良、抵抗率の増大など新たな問題が発生した¹⁾。

一方、低温界面反応により金属の融点よりはるかに低い温度で半導体との化合物が形成されるため、高融点金属の電極利用が考えられ始めている。一例として、MOSデバイスのソース、ドレイン及びゲー

ト上にTiまたはCoをスパッタし、加熱処理を経てシリサイド(M-Si合金層)を形成するシリサイドプロセスが挙げられる。このプロセスでは、シリサイド化に伴うSi層の表面荒れや、微細化に伴う細線効果が抵抗を増大させる原因となっており、新シリサイド形成プロセスが今後の課題となっている²⁾。

高融点金属は熱的に安定であり、シリサイド化により低抵抗、高密着性が期待できる。また、シリサイド層は組成や厚さがきわめて均一であり、シリサイドとSiとの界面が元来のSi表面でなく、その内部に形成されるため不純物に汚染されない理想的な層を形成できる³⁾。このため、高融点金属は電極材料として期待されている。しかし、シリサイドの形成過程には未だ解明されていない部分が多い。

そこで本研究では、高融点金属であるTiと半導体(Si, GaAs)の接触試料をRFマグネトロンスパッタ法により作製し、I-V特性、 $1/C^2$ -V特性を測定し、界面の状態について考察したので報告する。

* 秋田高専専攻科学生

2. 金属/半導体接触の電気的特性

2.1 金属/半導体接触⁴⁾

図1に金属/n形半導体の接触前、接触後のエネルギー帯図を示す。ここで ϕ_m は金属の仕事関数、 χ は半導体の電子親和力であり、 E_F はフェルミ準位である。金属とn形半導体を接触させると、平衡状態では E_F が一致するようにキャリアが移動する。このとき $\phi_m > \chi$ ならば、半導体表面に空乏層が形成され、次の式

$$\phi_B = \phi_m - \chi$$

に従ってショットキー障壁が現れる。ここで ϕ_B はショットキー障壁の高さである。この接触は整流性となる。

この接触の金属側に正電位を加えた場合のエネルギー帯図を図2に示す。この場合、半導体側から見た障壁の高さが qV だけ低くなるためキャリアは障壁を越えて移動し、電流が流れる。この時の電圧を順バイアスといい、電流を順方向電流という。

一方、半導体側に正電位を加えた場合のエネルギー帯図を図3に示す。この場合、半導体側から見た障壁の高さが qV だけ高くなるためキャリアは障壁を越えて移動できなくなり、少数キャリアによる微小電流しか流れない。この時の電圧を逆バイアスといい、少数キャリアによる微小電流を逆方向飽和電流という。このように、順バイアスのときに電流が流れ、逆バイアスのときにほとんど電流の流れない作用を整流作用という。この整流作用が半導体デバイスにとっての重要な特性である。

$\phi_m < \chi$ の場合の金属/n形半導体の接触前、接触後のエネルギー帯図を図4に示す。この場合、空乏層は形成されずショットキー障壁も形成されない。そのため、キャリアは金属-半導体間を自由に動くことができ、オーム性となる。半導体デバイスを用いるならば半導体と配線をつなぐ電極部分が必ず必要となる。したがってオーミック接触の重要性はきわめて高い。オーミック接触を得る方法にはショットキー接触が形成されない金属を用いる他にも、半導体表面近くに不純物濃度の高い層を形成し、トンネル効果を起こす方法もある。

2.2 理想係数 n 、障壁高さ ϕ_B の算出

2.2.1 電流-電圧特性による評価法⁴⁾

図5にショットキー接触のI-V特性を示す。ベータのダイオード理論によれば、ショットキー接触の

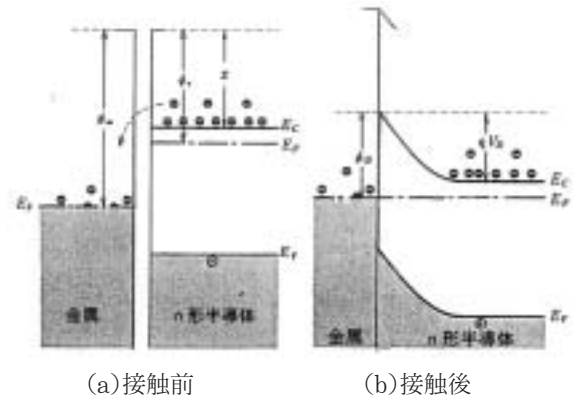


図1 $\phi_m > \chi$ の場合の金属/n形半導体接触

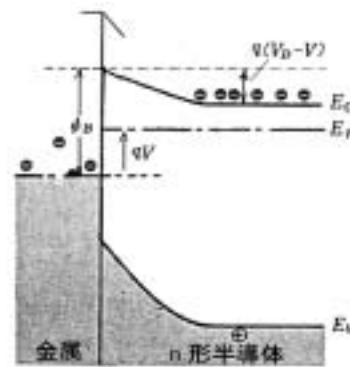


図2 順バイアス

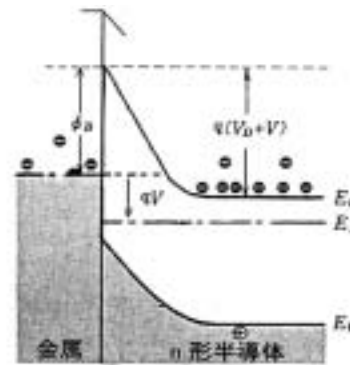


図3 逆バイアス

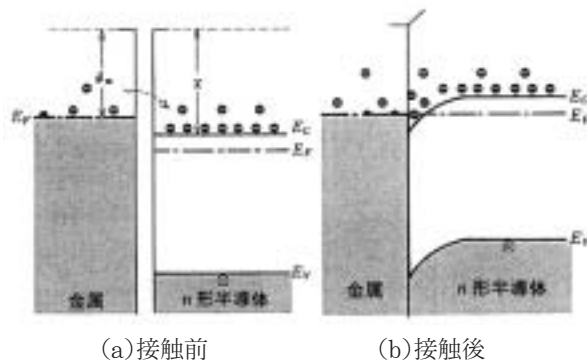


図4 $\phi_m < \chi$ の場合の金属/n形半導体接触

順方向電流密度 J は,

$$J = J_0 (e^{qV/kT} - 1)$$

となる。ここで J_0 は逆方向飽和電流密度である。しかし実際には指数項が 1 よりはるかに大きくなるため 1 を無視でき、また実際に得られる特性では電流密度の印加電圧に対する増加の割合が小さい場合が多いので、理想係数 n を用いて次のように表す。

$$J = J_0 (e^{qV/nkT})$$

これを電流 I に直し常用対数をとると、

$$\log_{10} I = \log_{10} I_0 + \frac{qV}{nkT} \log_{10} e = \frac{q \log_{10} e}{nkT} V + \log_{10} I_0$$

となる。この式は図 6 のように V の一次関数となる。傾きを S とすると、

$$S = \frac{q \log_{10} e}{nkT}$$

となり、これより理想係数 n が求められる。

$$n = \frac{q \log_{10} e}{kT \left[\frac{\Delta \log_{10} I}{\Delta V} \right]}$$

また、 J_0 はリチャードソン定数 A^* を用いると次式で表される。

$$J_0 = A^* T^2 e^{-\phi_B/kT} = \frac{4\pi q m_c^* k^2 T^2}{h^3} e^{-\phi_B/kT}$$

これよりショットキー障壁高さ ϕ_B が求められる。

$$\phi_B = kT \ln \left(\frac{A^* T^2}{J_0} \right)$$

2.2.2 $1/C^2$ -逆電圧特性による評価法⁴⁾

拡散電位を V_D 、ドナー密度を N_D とすると、空乏

層中の電荷 Q は次式で表される。

$$Q = qN_D d = \sqrt{2q \epsilon_s \epsilon_0 N_D (V_D + V)}$$

また、空乏層容量 C は

$$C = \frac{dQ}{dV} = \sqrt{\frac{q \epsilon_s \epsilon_0 N_D}{2(V_D + V)}}$$

となる。この式より $1/C^2$ を計算すると、

$$\frac{1}{C^2} = \frac{2}{q \epsilon_s \epsilon_0 N_D} (V_D + V)$$

となり、図 7 のように $1/C^2$ は逆方向電圧 V に対して比例関係となる。この直線の傾き、

$$\frac{\Delta \left(\frac{1}{C^2} \right)}{\Delta V} = \frac{2}{S^2 q \epsilon_s \epsilon_0 N_D}$$

より、ドナー密度 N_D が求められる。

$$N_D = \frac{2}{S^2 q \epsilon_s \epsilon_0 \frac{\Delta \left(\frac{1}{C^2} \right)}{\Delta V}}$$

ここで、 S は試料の面積である。

また、 $1/C^2 = 0$ となる点より拡散電位 V_D が求められ、これより障壁高さ ϕ_B が求められる。

$$\phi_B = qV_D + (E_C - E_F)$$

ここで、 $(E_C - E_F)$ は次式で与えられる。

$$(E_C - E_F) = kT \ln \frac{N_C}{N_D}$$

N_C は伝導帯の有効状態密度である。

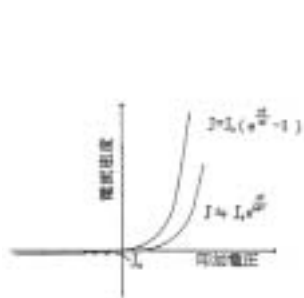


図5 I-V特性

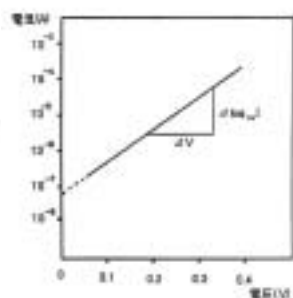


図6 I-V特性 (対数目盛)

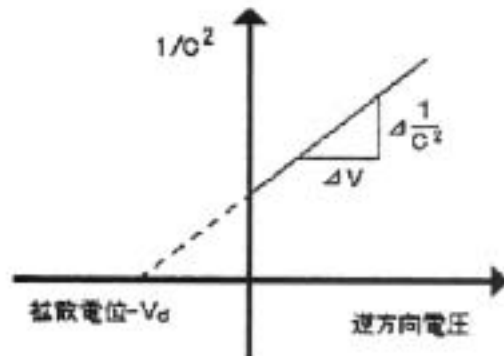


図7 $1/C^2$ -V特性

2.3 低温界面反応³⁾

金属と半導体を接触させると、その界面では室温程度の低い温度で互いの構成原子の相互移動を伴う反応を起こすことがある。これを低温界面反応というが、その顕著な例として、Si と Au の接触に見られる次の現象が上げられる。Si 単結晶上に厚さ約100nm の Au 膜を蒸着した試料を、酸化雰囲気中で約200°C で加熱すると、10分程度で Au 膜が黒く変色する。これは界面 Si 原子の共有結合が切れ、それが Au 膜表面に現れて酸化膜 (SiO₂) が形成されたために起こる (図8)。この低温界面反応の原因として、Si 結晶の共有結合を担うクーロン相互作用が蒸着金属膜の自由電子によって弱められ共有結合が破壊されるとするスクリーニングモデルが提案されている。このような反応の起こる条件として、半導体のエネルギーギャップ E_g が 2.5eV 以下または比誘電率 ε_s が 8 以上とされている。また、金属の膜厚にも条件があり、Si/Au 接触では Au の膜厚が 3ML (ML: 原子層) 以上でなければ反応は起こらない。

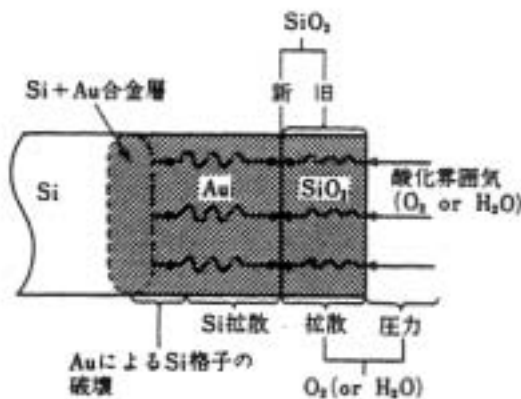


図8 Si/Au 接触界面の低温界面反応³⁾

3. 実験方法

3.1 試料の作製及び電気的特性の測定

表面洗浄有り無し of p-Si (100) ウェハに純度99.9% の Ti をターゲットとし、RF マグネトロンスパッタ法によりスパッタし、Ti/Si 接触試料を作製した。図9にRF マグネトロンスパッタ装置の概略図を示す。1×10⁻⁸Torr 以下の高真空までクライオポンプで真空排気したチャンパー内に、約5×10⁻³Torr の高純度 Ar ガスを導入し、13.56MHz の高周波水晶発振式電源を用いて投入パワー50W、20分間スパッタした。この条件で作製した試料の膜厚をレーザーフォーカス変位計で測定したところ、約1μm となった (図10)。作製した試料に空気炉での加熱400°C、500°C、600°C、700°C をそれぞれ30分間行い、加熱前のものと併せて I-V 特性、1/C²-V 特性を測定し、比較した。

また、表面洗浄有り n-GaAs (100) ウェハに純度99.9% の Ti を RF マグネトロンスパッタ法によりスパッタし、Ti/GaAs 試料を作製した。スパッタ条件は Ti/Si 試料の場合と同様とした。空気炉での加熱を300°C、500°C、700°C でそれぞれ30分間行い、加熱前のものと併せて I-V 特性、1/C²-V 特性を測定し、Ti/Si 試料の場合と比較した。

なお、作製した試料の半導体面には電極として In-Ga(5:5) 合金を塗布した。また、1/C²-V 特性の測定にはプレジジョン LCR メータを使用し、測定信号の周波数は75kHz、2MHz とした。

4. 実験結果

4.1 Ti/Si の I-V 特性及び 1/C²-V 特性

Si 表面洗浄前 Ti/Si 接触試料の I-V 特性を図11、1/C²-V 特性を図12に示す。また、Si 表面洗浄後の

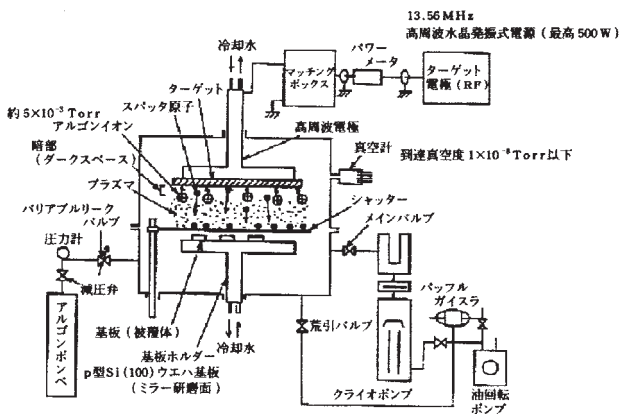


図9 RF マグネトロンスパッタ装置の概略図

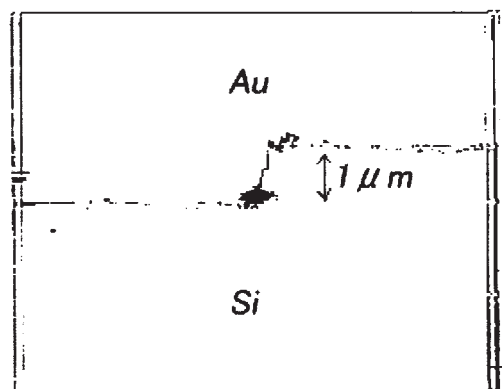


図10 レーザーフォーカス変位計による膜厚の測定結果

Ti/Si 接触試料の I-V 特性を図13, $1/C^2$ -V 特性を図14に示す。

4.2 Ti/GaAs の I-V 特性及び $1/C^2$ -V 特性

表面洗浄 GaAs/Ti 接触試料の I-V 特性を図15, $1/C^2$ -V 特性を図16に示す。

4.3 各試料の電気的特性

表 1 に各試料の電気的特性, I-V 特性より算出した理想係数 n , 障壁高さ ϕ_B をまとめる。未洗浄 Si/Ti 接触の700°C加熱後の試料でオーム性を示し, その他の試料は整流性を示した。また, 理想係数は9以上と高く, 抵抗は未洗浄 Si/Ti 接触の700°C加

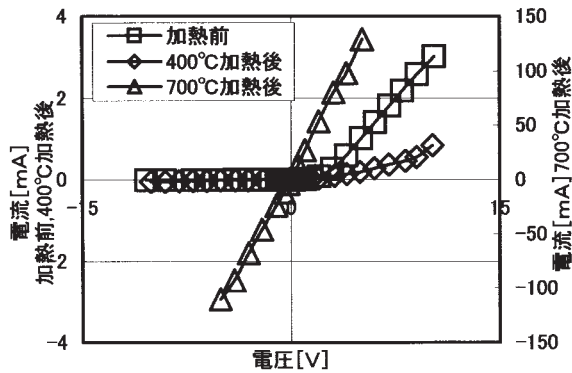


図11 表面未洗浄 Si/Ti 接触の I-V 特性

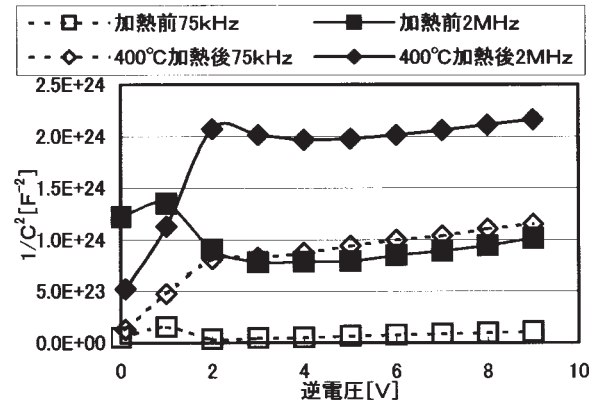


図12 表面未洗浄 Si/Ti 接触の $1/C^2$ -V 特性

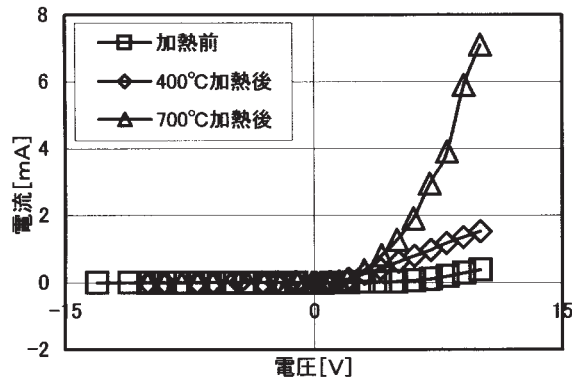


図13 表面洗浄 Si/Ti 接触の I-V 特性

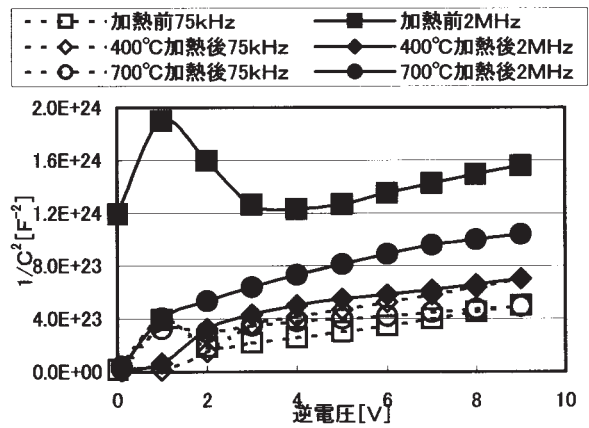


図14 表面洗浄 Si/Ti 接触の $1/C^2$ -V 特性

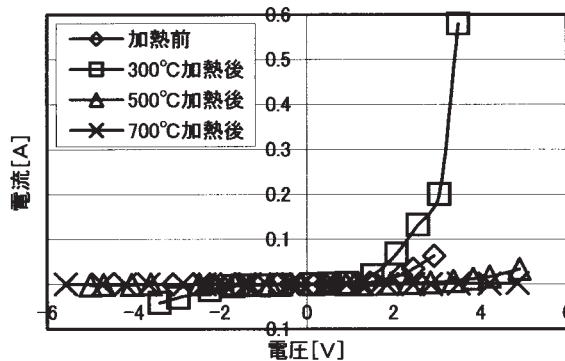


図15 表面洗浄 GaAs/Ti 接触の I-V 特性

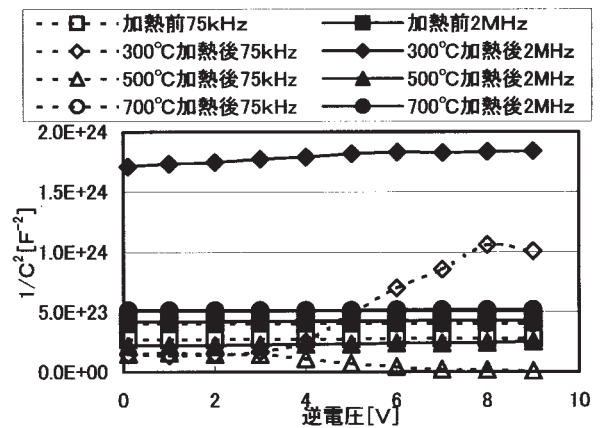


図16 表面洗浄 GaAs/Ti 接触の $1/C^2$ -V 特性

表 1 各試料の電気的特性, 理想係数 n , 障壁高さ ϕ_B

測定試料	電気的特性	理想係数 n	障壁高さ ϕ_B [eV]
未洗浄 Si/Ti 加熱前	整流性	9.7	0.817
未洗浄 Si/Ti 400°C加熱後	整流性	13.3	0.837
未洗浄 Si/Ti 500°C加熱後	整流性	18.0	0.779
未洗浄 Si/Ti 600°C加熱後	整流性	13.5	0.833
未洗浄 Si/Ti 700°C加熱後	オーム性	—	—
洗浄 Si/Ti 加熱前	整流性	16.4	0.903
洗浄 Si/Ti 400°C加熱後	整流性	13.5	0.851
洗浄 Si/Ti 500°C加熱後	整流性	9.7	0.814
洗浄 Si/Ti 600°C加熱後	整流性	13.7	0.764
洗浄 Si/Ti 700°C加熱後	整流性	11.3	0.829
洗浄 GaAs/Ti 加熱前	整流性	10.0	0.702
洗浄 GaAs/Ti 300°C加熱後	整流性	12.2	0.586
洗浄 GaAs/Ti 500°C加熱後	整流性	17.5	0.662
洗浄 GaAs/Ti 700°C加熱後	整流性	14.0	0.773

熱後の試料で40Ωと高い。これは界面の不純物層, 表面の酸化層が直列抵抗として影響したためと考えられる。

1/C²-V特性ではほとんどの試料で比例関係を示さず, 諸定数を算出することが困難だった。これは界面での不純物濃度分布が不均一であることを示している。

5. 考察

5.1 Ti/Si 接触界面の考察

Ti/Si 接触では, 未洗浄 Si/Ti 接触の700°C加熱後の試料でオーム性を示し, その他の試料では整流性を示した。そこで洗浄・未洗浄試料の700°C加熱前後の界面のモデルを提案した。図17に洗浄 Si/Ti 接触界面の700°C加熱前後のモデルを示し, 図18に未洗浄 Si/Ti 接触界面の700°C加熱前後のモデルを示す。

Ti/Si 接触では, 低温界面反応により常温程度の低い温度領域においても相互拡散が起こり, 界面にTi-Siのアモルファス層が形成される。これは加熱により層の厚さが増加する。さらにこのアモルファス層は450°C程度の熱処理によりSi基板側から結晶化を始める⁵⁾。

このとき界面に不純物による汚染層が存在しない場合, 結晶化は核生成によって成長すると考えられている⁶⁾。図17の場合, Ti-Si 結晶層が核生成により島状に成長し, 加熱により形成されたTiO₂層ま

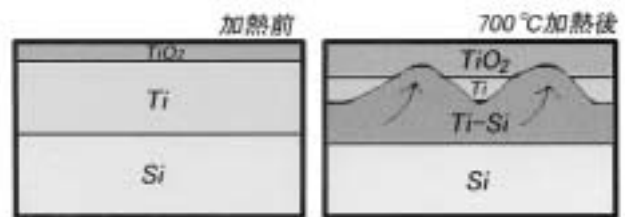


図17 洗浄 Si/Ti 接触界面の700°C加熱前後のモデル

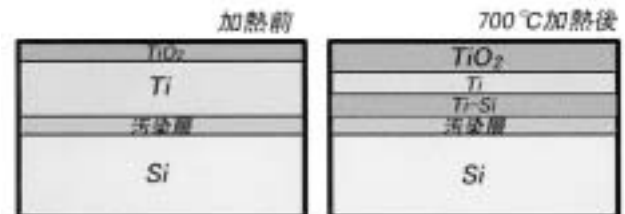


図18 未洗浄 Si/Ti 接触界面の700°C加熱前後のモデル

で到達したと考えられる。これによりTiO₂/Ti-Si接触が形成され整流性を示したと考えられる。

界面に汚染層が存在する場合, Si表面に存在する異種原子が触媒的に働いて, その上に堆積する層の形成をコントロールする場合がある⁶⁾。図18の場合, Si基板の汚染層がTi-Siの結晶化を抑制し, Ti/Ti-Siの層構造が形成され, これが電気伝導に関与しオーム性を示したと考えられる。

5.2 Ti/GaAs 接触界面の考察

Ti/GaAs 接触では500°C加熱後の試料でTi表面がわずかに変色し, 700°C加熱後の試料では黒く変



図19 Ti/GaAs 接触界面の700°C加熱前後のモデル

色した。これは Au/Si 接触に見られる低温界面反応による Au 表面での Si 酸化層の形成と同じ現象が起こったためと考えられる。図19に Ti/GaAs 接触界面の700°C加熱前後のモデルを示す。

Ti/Si 接触と同様に、低温界面反応により GaAs 同士の結合が弱められ Ti と結合し、界面には Ti-GaAs の合金層が形成される。また、結合の切れた GaAs が遊離し Ti 表面に現れ、そこで GaAs 酸化物が形成されると考えられる。本実験では、500°C の加熱で Ti 表面に GaAs 酸化物がわずかに現れ始め、700°C の加熱では反応が進み Ti 表面に GaAs 酸化物層が形成され、それが表面に黒く現れたと考えられる。

6. 結言

Ti/Si 接触では、未洗浄 Si/Ti 接触の700°C加熱後の試料でオーム性を示し、その他の Ti/Si 接触試料では整流性を示した。そこで洗浄・未洗浄試料の700°C加熱前後の界面のモデルを提案した。また、Ti/GaAs 試料の700°C加熱前後での層構造のモデルを提案した。高融点金属/半導体接触では界面に合金層が形成される、表面に酸化物半導体層が現れるなど、低温界面反応による様々な現象が起こり、そ

れが電気的特性に大きく関与してくることがわかった。

今後は他の高融点金属と半導体の接触の電気的特性を調べ、低温界面反応により引き起こされる現象や界面状態について考察していく予定である。

謝辞

最後に、文部科学省プロジェクト「秋田県地域結集型共同研究事業」(科学技術振興機構)および経済産業省地域産学官連携プロジェクト形成促進事業「真空製膜研究会」を通じて、秋田県高度技術研究所とあきた産業振興機構にご支援頂き、ここに深く感謝申し上げます。

参考文献

- 1) 財満鎮明, 安田幸夫, 高融点金属/Si 界面の電気的特性と結晶学的構造, あたりあ, 33, 691 (1994)
- 2) 平木昭夫, 小林啓介, 半導体/金属・界面形成の初期過程—Si-Au, Pd, Ni 系を中心として—, 固体物理, Vol.18 No.4, pp.183-185 (1983)
- 3) 青野正和, 八木克道, 他, 表面物性工学ハンドブック, 丸善, (1987) pp.328-329
- 4) 岡昭夫, 上村喜一, 新版基礎半導体工学, 朝倉書店, (2000) pp.109-132
- 5) 小川真一, ULSI プロセスにおける高融点金属/Si 基板界面反応, あたりあ, 35, pp.355-359 (1996)
- 6) 平木昭夫, 成沢忠, 表面・界面の分析と評価, オーム社, (1994) pp.64-65.